

# Elektronik

Fachmedium für industrielle Anwender und Entwickler

## Sonderdruck

Leistungsfähige CPUs für den industriellen Einsatz:

# Schicht für Schicht zu mehr Leistung



(Bild: stockcreations – Shutterstock)

**Neben die x86-Architektur ist die Mikroprozessor-Technologie von ARM getreten und hat bereits den Konsumentenmarkt erobert. Nun wird sie auch im Industriebereich immer stärker. Doch kann sich die neue Architektur wirklich beweisen?**

Von Kei Thomsen und Peter Schuller

**D**ie ARM-Architektur eroberte in den vergangenen Jahren als Basis von Smartphones den kommerziellen Massenmarkt. Die Effizienz der RISC-Architektur (Reduced Instruction Set Computer) von ARM-CPU vereint hohe Rechen- und



Bild 1. Miriac MPX-LS1046A System on Module mit fünf Speicherchips.

(Quelle: MicroSys)

Kommunikationsleistung mit geringer Leistungsaufnahme. Dadurch unterscheidet sie sich vom CISC-Aufbau (Complex Instruction Set Computer) der x86-Architektur. x86 ist verbrauchshungriger, komplexer im Aufbau und hatte damit das Nachsehen im Massenmarkt.

Diese Tatsache berührt auch den Embedded-Markt mit seinen industriellen Systemanforderungen. Dort hat sich in den vergangenen Jahren die x86-Architektur, auch aus der kommerziellen PC-Welt kommend, für viele Anwendungsklassen als CPU-Plattform etabliert. Dazu führten etwa die breite Software-Unterstützung, Anpassungen an industrielle Anforderungen, wie erweiterter Temperaturbereich, inzwischen auch mehrjährige Verfügbarkeit bei vernünftigen Preisniveau sowie entsprechende Modulstandards. Dem stehen die relativ hohen Verlustleistungen und natürlich die Abhängigkeit von einigen wenigen Herstellern und deren Produktplanungen entgegen.

### ARM-Technologie für die Industrie?

Prozessoren mit ARM-Architektur werden inzwischen in verschiedenen Funktions- und Leistungskategorien angeboten. Die Klasse der Cortex-A/R/M oder Securecore CPUs findet man beispielsweise in vielen Geräten – vom Automobil bis zum Server im Rechenzentrum. Vor allem durch die Verbreitung in Smartphones ist die ARM-Technologie inzwischen die weltweit am meisten

verbreitete CPU-Architektur. Eine breite Herstellerunterstützung, ein mittlerweile breites Software-Angebot, sowie das gewachsene Engineering-Know-how, macht diese Technologie zunehmend auch für den industriellen Einsatz attraktiv und die ARM-Technologie zu einer ernstzunehmenden Alternative zur x86-Architektur.

Bei den industriellen Einsatzprofilen für Embedded-Systeme wird eine absolute Zuverlässigkeit und Verfügbarkeit verlangt, auch in rauen und unwirtschaftlichen Umgebungen. Außerdem muss oft ein größerer Temperaturbereich abgedeckt werden als etwa bei kommerziellen Anwendungen, wobei die Rechner oft ohne aktive Kühlung arbeiten. Zusätzlich müssen die Rechenleistung und der I/O-Durchsatz des Systems auf einem hohen Niveau und bei geringer Verlustleistung arbeiten, und die Systeme müssen mit garantierten Reaktionszeiten auf externe Ereignisse

reagieren. Darüber hinaus müssen die Komponenten für Produktlebenszyklen von 15 und mehr Jahren angeboten werden.

### Auch PowerPC unter Druck

Dieses Profil erfüllt seit vielen Jahren die PowerPC-Architektur, die 1991 von einem Konsortium aus Apple, IBM und Motorola (danach Freescale, jetzt NXP) ins Leben gerufen wurde. Gerade für langlebige industrielle Projekte liefert NXP seit vielen Jahren die PowerQUICC- und QorIQ-CPU-Familien mit der PowerPC-Architektur. Doch trotz des Erfolgs in dieser Domäne nimmt die Bedeutung der Power-Architektur ab, auch sie kann sich dem Erfolg von ARM nicht entziehen.

NXP hat diese Veränderungen erkannt und entwickelte darum vor vier Jahren die Layerscape-System-on-Chip-Architektur auf der Basis von ARM Cores. Die Erfahrungen und technischen Vergleiche in diesem Beitrag basieren auf System-on-Modules mit den Layerscape-CPU's NXP LS1043A bzw. NXP LS1046A, integriert auf Miriac-Starterkits für den produktiven Einsatz. Für die Gegenüberstellung der Echtzeiteigenschaften auf Applikationsebene wird auf den Betrieb der Systeme in der OSADL (Open Source Automation Development Lab) QA-Farm zurückgegriffen.

### PowerPC durch ARM ersetzt

Was ist das Besondere an den CPUs der Layerscape-Familien? Die Stärken der PowerPC-Architektur, insbesondere die I/O-Leistungsfähigkeit, wurden beibehalten und die PowerPC-Cores gegen ARM Cortex-A-Cores ausgetauscht. Sie enthalten ein bis 16 Kerne, sind auch für den industriellen Temperaturbereich erhältlich und langzeitverfügbar.

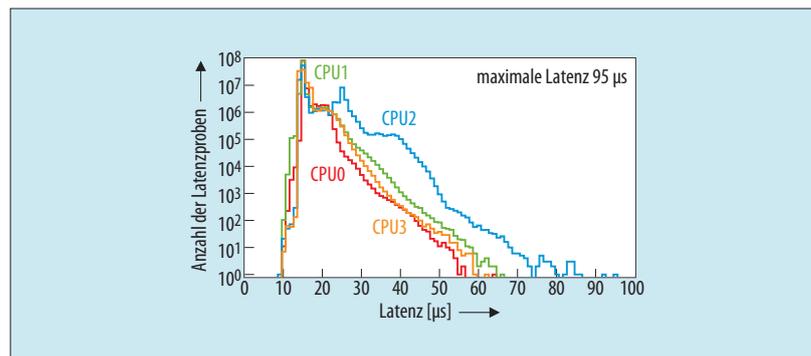


Bild 2. Ein Beispiel für Latency Plots.

(Quelle: MicroSys)

Neben ECC-Speicher bieten sie auch verschiedene I/O-Ausstattungen: Es gibt die Layerscape-CPU mit CAN-, SPI- und I<sup>2</sup>C-Schnittstellen sowie Derivate, die Ethernet-Kommunikation mit bis zu 10 Gbit/s unterstützen. Neben Feldbussen wie EtherCAT und ähnlichen, bieten einige Varianten auch Time Sensitive Networking on Chip (TSN – Echtzeit-Ethernet on Chip, z.B.: NXP LS1028A CPU). Dafür wird auf Features, die typisch für Smartphones sind, verzichtet – z.B. Grafik oder kurze Produktlebenszeiten. Typische Märkte für diese CPUs sind etwa industrietaugliche I-T-Endpoints, die Automatisierung und Anwendungen in der Kommunikation oder im Automobil.

### Industrielle Anforderungsprofile

Gemäß Herstellerangaben liegt der Standardbetriebsbereich der LSxxxA-CPU zwischen 0 °C und 105 °C und der erweiterte zwischen –40 °C und 105 °C, wodurch sie auch in der Industrie eingesetzt werden können (Anforderung: –40 °C bis 85 °C)

Viele industrielle Produkte und Anlagen werden nicht selten 25 Jahre und länger genutzt. Bei Kunden von NXP gibt es zum Beispiel immer noch Bedarf an Geräten mit 68k-Prozessoren, die 1979 von Motorola eingeführt wurden. Das sind fast 40 Jahre Lebenszyklus einer Prozessorarchitektur, die in verschiedenen Ausprägungen auch heute noch erhältlich ist. Eine Zeitspanne, die für Halbleiterhersteller von Konsumartikeln schlichtweg ein Albtraum ist. NXP hingegen bietet seine Produkte für Industrieprojekte gezielt langzeitverfügbar an und garantiert seinen Kunden die Verfügbarkeit innerhalb des „Longevity Programs“. Im Fall der LSxxxA-CPU sind das mindestens 15 Jahre. Dieser Zeitraum kann auch

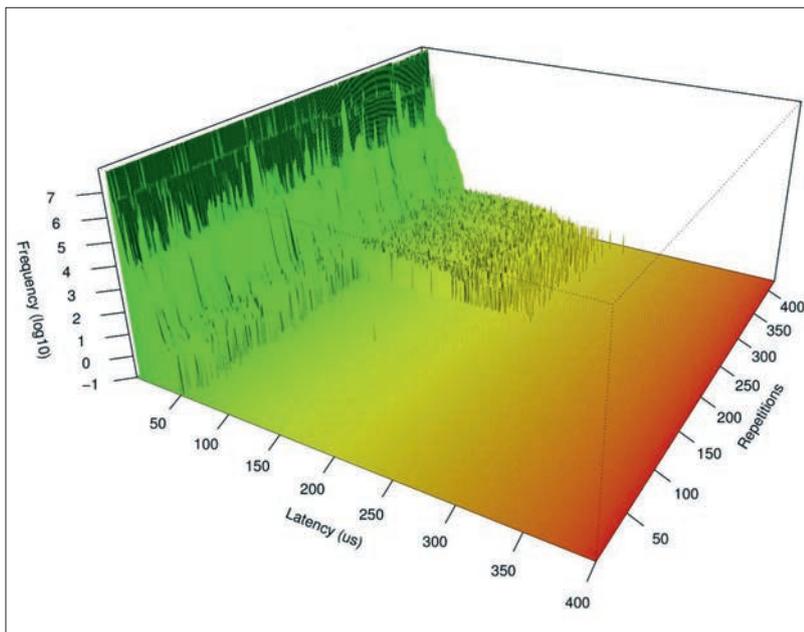


Bild 3: Beispiel einer Langzeitmessung über sieben Monate.

(Quelle: MicroSys)

verlängert werden, wenn genug Nachfrage besteht.

### Systemsicherheit durch ECC-Speicher

Bei Embedded-Systemen werden oftmals besondere Ansprüche an Ausfall- und Datensicherheit gestellt. Auch wenn sie in großen Höhen betrieben werden oder extremen Temperaturen ausgesetzt sind, darf das nicht zu Bitfehlern in den Speichersystemen oder Systemabstürzen kommen. Durch kosmische Strahlung und elektromagnetische Felder (z.B. Motoren) werden in den immer kleineren Strukturen auf den Speicherchips Bitfehler immer wahrscheinlicher, auch in völlig normalen Arbeitsumgebungen. Error Correcting Code Memory kann hier helfen. Dafür müssen aber zusätzliche Speicherchips für Korrekturbits vorhanden sein. Als Beispiel wird eine 64-bit-Speicherzelle betrachtet. Es

wird beim Einsatz des Hamming-Verfahrens eine Art Hashwert pro Zelle ermittelt, der in acht zusätzlichen Speicherbits abgelegt wird. Damit ergeben sich 72 bit pro Speicherzeile, wofür die erwähnten zusätzlichen Speicherchips benötigt werden. Erkennen kann man das Vorhandensein von ECC Memory sehr gut an einer ungeraden Anzahl von Speicherchips auf dem CPU-Board.

Die Berechnung des Hashwerts muss ein speziell dafür ausgelegter Speichercontroller ausführen. Er kann entweder in der CPU integriert sein oder er ist extern auf dem Carrier-Board vorhanden. 1-Bit-Fehler können mit diesem Verfahren erkannt und korrigiert werden. 2-Bit-Fehler werden nur erkannt, eine Fehlermeldung wird erzeugt und auf Systemebene kann eine entsprechende Schutzmaßnahme eingeleitet werden.

Der ECC-Controller für diese Funktion ist bei der Layerscape-Architektur bereits Bestandteil der CPU. Er übernimmt auch gleichzeitig die ECC Memory Protection in den L1/L2 Caches und ermöglicht so den effektiven Aufbau des Systemspeicherschutzes. Die Speicherbandbreite wird durch ECC nur minimal beeinflusst.

### Erfahrungen mit einem Layerscape LS1046A System

Erste Systeme mit einem Miriact MPX-LS1046A System-on-Module sind inzwischen im Einsatz für Automatisierungs-

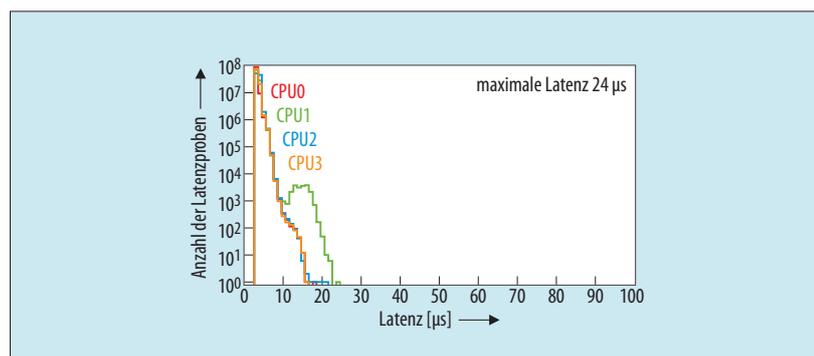


Bild 4. LS1046A System, 1,2GHz, Latency Maximum: 24µs.

(Quelle: MicroSys)

und Steuerungsaufgaben. Sie enthalten eine LS1046A CPU, die mit ihren vier ARMv8-Cortex-A72-Kernen einen typischen Vertreter mittlerer Leistungs-kategorie aus NXPs Layerscape-Portfolio repräsentiert (Bild 1).

Der Prozessor enthält einen 64+8 bit DDR4 ECC Memory Controller und verschiedene Schnittstellen, wie SPI, Quad-SPI, NAND, I<sup>2</sup>C, Ethernet (4 × 1 Gbit/s, 1 × 2,5 Gbit/s, 2 × 10 Gbit/s), GPIO, Timer, PWM, 4 × UARTs, SD, 3 × USB 3.0, 3 × PCIe 3.0 oder SATA 3.0. Auf typische Media Interfaces wie Kamera, OpenGL oder Audio wurde bewusst verzichtet, da sie für die meisten Steuerungs- und Automatisierungsaufgaben nicht benötigt werden.

### Vergleich der CPU-Architekturen anhand von Dhrystone Benchmarks

Benchmarks bilden oft kein realistisches Anforderungsprofil ab, vermitteln jedoch einen generellen Eindruck über die Leistungsfähigkeit einer CPU. Dhrystone ist ein Test, der 1984 für die Messung der Integer-Leistung von CPUs eingeführt wurde. Er verwendet nur Ganzzahl-Operationen. Komplexeres Systemverhalten kann damit aber nicht verglichen werden.

Die Ergebnisse sind normalisiert auf 1 GHz, kompiliert mit dem CLANG 7.0.0 Compiler und gemessen wurde die Leistung auf einem Rechnerkern.

### Vergleich der Echtzeitfähigkeiten

Das Echtzeitverhalten von Embedded-Systemen zu untersuchen und vor allem zu vergleichen, ist eigentlich ein Ding der Unmöglichkeit. Zu verschieden und unterschiedlich sind die Einsatzprofile, wie Systemeigenschaften, Betriebssysteme und Anwendungen, um objektiv vergleichbare Ergebnisse gegenüberzustellen.

Die OSADL hat hierzu ein einzigartiges Werkzeug für die Embedded-Computer-Industrie bereitgestellt: Die OSADL Realtime QA Farm. Seit dem Jahr 2011 im Betrieb und inzwischen auf mehr als 100 Rechnerplattformen angewachsen, sind die Systeme dort im Dauereinsatz und werden auf Herz und Nieren geprüft. Die Rechner mit x86-, ARM-, PowerPC- und MIPS-CPU laufen unter Linux und werden vollautomatisch überwacht. Für den Test werden durchgehend der Betrieb unter

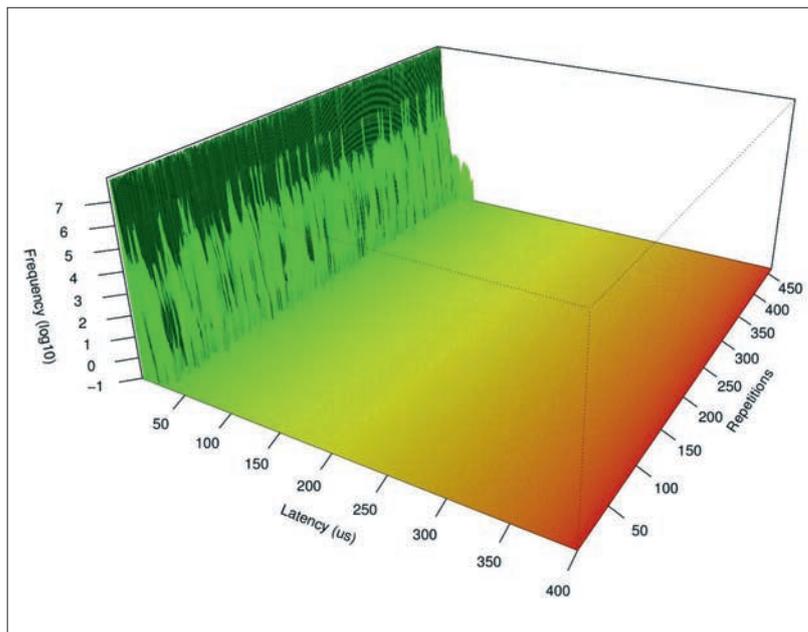


Bild 5: LS1046A System, 1,2GHz im OSADL-QA-Test über acht Monate; es sind keine Ausreißer aufgetreten.

(Quelle: MicroSys)

Benchmark	LS1046A CPU 4x ARM Cortex A72 Cores: 1,2 GHz	T1042 CPU 4x PPC e5500 Cores: 1,2 GHz	Intel i7, 4x Cores
Dhrystone MIPS - 03	7.936.508	2.167.628	11.090.000
Dhrystone MIPS - 00	2.192.982	949.057	3.880.000

Tabelle: Vergleich von Layerscape-, PowerPC- Intel-CPU im Dhrystone Benchmark.

Echtzeitlast simuliert und damit Messergebnisse erzeugt. Darüber hinaus werden zahlreiche typische Systembenchmarks, wie Dhrystones, Whetstones und Latenzzeiten gegenübergestellt. Ein eigens dafür entwickelter Latency-Test (Continuous worst-case latency monitoring) untersucht das Echtzeitverhalten auch über lange Zeiträume; ein hervorragendes Werkzeug für den objektiven Vergleich verschiedener Architekturen und ein Maß für die Langzeitstabilität.

Die aufgezeichneten Messergebnisse stehen in Form von Tabellen und Histogrammen zur Verfügung. Einige

davon sind öffentlich einzusehen, vertiefende Vergleiche und Einsichten stehen aber nur den OSADL-Mitgliedern zur Verfügung.

### Echtzeitmessungen mit dem Latency Benchmark von OSADL

Bei dieser Messung will man über sehr viele Messzyklen die längste Reaktionszeit vom Auftreten eines Interrupts bis zum Start eines Programms unter Linux im User Space ermitteln. Als Testroutine wird das Programm Cyclicttest verwendet, das eine durchschnittliche CPU-Last simuliert. Dabei wird die programmierte

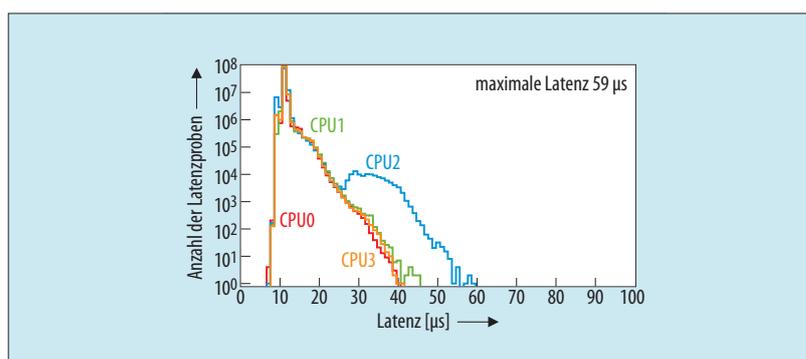


Bild 6. T1042 System, 1,2GHz, Latency Maximum 59µs, selbst bei CPU-Stresstests gab es hiervon keine Abweichungen.

(Quelle: MicroSys)

mit der tatsächlichen Aufwachzeit des Systems verglichen. Die Reaktionszeiten werden zweimal täglich über 5,55 Stunden bei einer Timer-Interrupt-Frequenz von 5 kHz bestimmt, das sind insgesamt 100 Millionen Zyklen. Die Worst Case Execution Time wird als längste Antwortzeit in solch einer Messreihe definiert.

Im **Bild 2** sind die Messergebnisse einer stimulierten Latenzmessung auf einer Vier-Kern-CPU (5 kHz Timer Interrupts, 100 Mio. Messzyklen) dargestellt. Der Kern „CPU2“ (blauer Plot), mit einer längsten Reaktionszeit von etwas über 95  $\mu$ s, schneidet im Beispiel am schlechtesten ab.

Erweitert man nun diese zweidimensionale Darstellung um eine weitere Achse in die Tiefe mit den täglichen Aufzeichnungen, erhält man ein 3D-Darstellung für das Langzeitverhalten der Rechner (**Bild 3**).

Als erste Auffälligkeit ist bei diesem Plot ein Spike bei etwas mehr als 100 Wiederholungen und bei etwa 150  $\mu$ s zu sehen. Das repräsentiert eine für dieses System außergewöhnlich lange Reaktionszeit und stellt es als zuverlässiges Echtzeitsystem in Frage, wenn z.B. eine Reaktionszeit von unter 100  $\mu$ s eingehalten werden muss. Die Spikes im Bereich von 200 bis 350 Wiederholungen und mit Latenzzeiten von bis zu

300  $\mu$ s weisen auf einen älteren Linux-Kernel hin, bei dem die Echtzeit-Patches noch nicht vollständig waren.

MicroSys ist erst seit 2016 Mitglied bei OSADL und stellte seine neuesten Entwicklungen erst ab Ende 2017 in die QA-Farm, somit gibt es nur Messergebnisse für diesen Zeitraum.

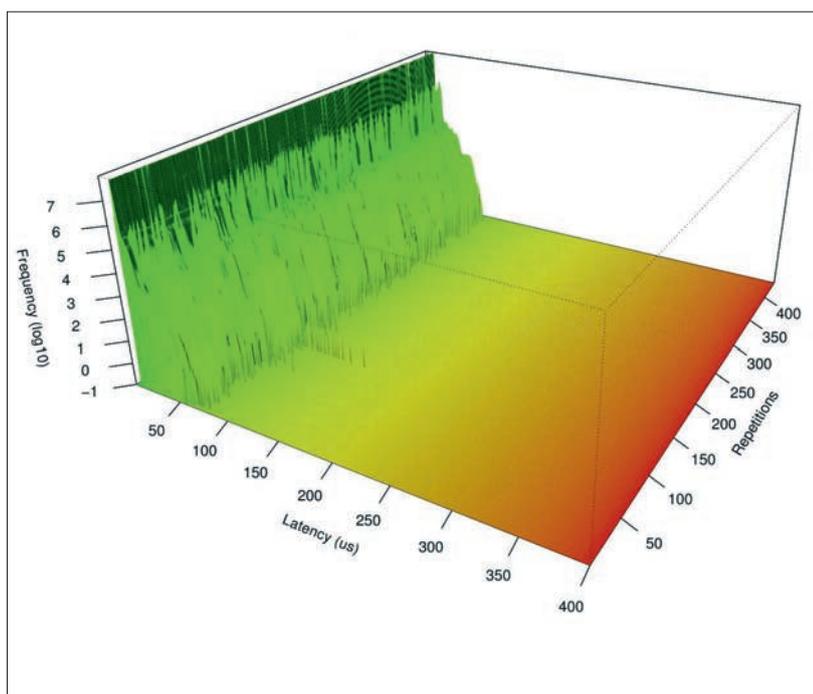
In der LS1046A-Grafik (**Bild 4 und 5**) ist sehr schön zu sehen, dass die Reaktionszeiten extrem kurz und langzeitstabil sind. Im Vergleich zu beispielsweise dreimal schneller getakteten i7-CPU, zeigt der LS1046A etwa gleich schnelle Reaktionszeit (**Bild 6 und 7**).

### ARM weiter auf dem Vormarsch

Das Layerscape ARM-CPU-Portfolio, so wie es von NXP seit etwa vier Jahren verfügbar ist, eignet sich nachweislich für langzeitverfügbare Embedded-Systeme. Die Breite der ARM-Unterstützung – und inzwischen auch der Software Community – sind eine solide Basis für die Anforderungsprofile typischer industrieller Projekte. Die Layerscape-Architektur ist inzwischen leistungsfähiger als vergleichbare PowerPC-Systeme und eignet sich für Anwendungsdomänen, in denen hohe Rechenleistung, großer I/O-Durchsatz und geringe Verlustleistung für kompakte Geräteabmessungen gefordert sind. *ih/jk*

### Quellen:

- [1] <https://www.osadl.org/QA-Farm-Real-time.qa-farm-about.0.html>
- [2] <https://www.nxp.com/products/processors-and-microcontrollers/arm-based-processors-and-mcus/qorik-layerscape-arm-processors:QORIQ-ARM>
- [3] [https://www.nxp.com/products/product-information/product-longevity:PRDCT\\_LONGEVITY\\_HM](https://www.nxp.com/products/product-information/product-longevity:PRDCT_LONGEVITY_HM)



**Bild 7.** T1042 System, 1,2GHz im OSADL-QA-Test über acht Monate, längere Latenzzeiten von etwa 150 $\mu$ s wurden nach etwa 75 Tagen gemessen. Das sind Effekte, die bei diesem System z.B. durch außergewöhnliche I/O-Aktivitäten auftreten können und im normalen Bereich liegen. (Quelle: MicroSys)



### Kei Thomsen

verfügt über 29 Jahre Erfahrung im Bereich der Embedded-RTOS-Programmierung. Seit 1997 ist er als Entwickler, für Support und als Trainer für das Betriebssystem Microware

OS-9 zuständig. Ein Schwerpunkt dabei sind hardwarenahe Entwicklungen für kundenspezifische Produkte basierend auf PowerPC, ARM und X86 CPU Architekturen.



### Peter Schuller

studierte an der HS München Flugzeugbau und an der TU-München Nachrichtentechnik. Anschließend führte ihn seine berufliche Entwicklung über die technische Vertriebsunter-

stützung zu Funktionen im Vertrieb, Marketing und in der Geschäftsentwicklung in den Unternehmen Intel, Microware, Bsqare, RadiSys und MicroSys. Eine seiner wesentlichen Aufgaben war und ist, in enger Kooperation mit Forschungseinrichtungen neue Technologien und Techniken erfolgreich am Markt zu platzieren. Schuller ist im Verein Embedded4You Pressesprecher.



## Smallest MPX-System on Module with NXP LS1028A Layerscape CPU

- miciax MPX-LS10128A SoM with two ARM® Cortex® A72 Cores
- Time Sensitive Networking (TSN) on chip & high-speed Ethernet
- integrated 3D Graphics Controller



MicroSys Electronics GmbH  
Mühlweg 1  
D-82054 Sauerlach  
Tel.: +49 8104 801-0

[info@microsys.de](mailto:info@microsys.de)  
[www.microsys.de](http://www.microsys.de)



**solutions**

# OPEN SOURCE + INDUSTRIE = OSADL














## OSADL

GEMEINSAM. FAIR. ENTWICKELN.

